

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

2/ Priority Paper  
Step toe  
5/14

11000 U.S. PTO  
09/812791  
03/20/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

2000年 3月23日

出願番号  
Application Number:

特願2000-082115

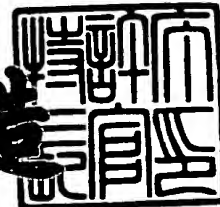
出願人  
Applicant(s):

松下電器産業株式会社

2000年12月 8日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3103256

【書類名】 特許願

【整理番号】 7411510020

【提出日】 平成12年 3月23日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 33/06

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
                                会社内

    【氏名】 原 淳一郎

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
                                会社内

    【氏名】 畑中 忠太

【特許出願人】

    【識別番号】 000005821

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100062926

    【弁理士】

    【氏名又は名称】 東島 隆治

【手数料の表示】

    【予納台帳番号】 031691

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9901660

特 2 0 0 0 - 0 8 2 1 1 5

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁界センサ

【特許請求の範囲】

【請求項 1】 印加された磁界に応じた信号を出力端子に出力するホール素子と、

前記ホール素子の前記出力端子の信号を入力し、外部から与える第 1、第 2 の位相を備えた信号によって選択した信号を出力するスイッチ回路と、

前記スイッチ回路の出力端子に少なくとも 1 個の入力端子を接続して、この入力端子の信号を増幅した電圧を出力端子に出力する増幅器と、

前記増幅器の前記出力端子に一端を接続した第 1 の記憶素子と、

前記第 1 の記憶素子の他端に一端を接続し、外部から与える前記第 1、第 2 の位相を備えた信号によって開閉動作するスイッチと、

前記第 1 の記憶素子の前記他端に接続した信号出力端子とを備え、

前記第 1 の位相において前記スイッチが閉じて前記第 1 の記憶素子が前記増幅器の出力電圧を記憶し、前記第 2 の位相において前記スイッチが開き、前記第 1 の記憶素子に記憶した前記電圧値と前記増幅器の出力電圧値との和を前記出力端子に出力する磁界センサ。

【請求項 2】 前記スイッチ回路が第 2、第 3 の記憶素子を備え、

前記外部から与える前記第 1 の位相において、前記第 2 の記憶素子に前記ホール素子の出力端子の出力電圧を記憶し、前記第 3 の記憶素子に記憶された電圧を前記増幅器に与え、

前記第 2 の位相において、前記第 2 の記憶素子に記憶された電圧を前記増幅器に与え、前記第 3 の記憶素子に前記ホール素子の出力端子の電圧を記憶することを特徴とする請求項 1 記載の磁界センサ。

【請求項 3】 前記記憶素子の中の少なくとも 1 個の記憶素子が、キャパシタであることを特徴とする請求項 1 又は 2 の磁界センサ。

【請求項 4】 前記スイッチがフィードスルー対策を施したスイッチであることを特徴とする請求項 1 から請求項 3 のいずれかの請求項に記載の磁界センサ。

【請求項5】 増幅器のゲインを定める抵抗の中の少なくとも1個の抵抗が、ホール素子と同一の素子であることを特徴とする請求項1から請求項4のいずれかの請求項に記載の磁界センサ。

【請求項6】 印加された磁界に応じた信号を出力するホール素子と、  
このホール素子の出力信号を増幅して出力端子対に電圧信号を出力する増幅器と、

前記増幅器の出力端子対に両端が接続されたコンデンサと、  
前記出力端子対の一方と前記コンデンサの一端子間に挿入接続され、外部から与える第1の信号で閉じ第2の信号で開くスイッチ手段と、  
前記スイッチ両端の電圧を個々に出力する出力端子とを備え、  
前記増幅器の出力端子対電圧信号の極性が、前記第1の信号期間と前記第2の信号期間とで互いに逆極性であることを特徴とする磁界センサ。

【請求項7】 印加された磁界に応じた信号を第1及び第2の端子対に出力するホール素子と、

第1及び第2のコンデンサと、  
前記第1の端子対と前記第1のコンデンサ両端とを各々接続する第1の接続手段と、

前記第2の端子対と前記第2のコンデンサ両端とを各々接続する第2の接続手段と、

前記第1の接続手段に挿入接続されこの第1の接続手段を外部から与える第1の信号で閉じ第2の信号で開く第1のスイッチ手段と、

前記第2の接続手段に挿入接続されこの第2の接続手段を前記外部から与える第1の信号で開き第2の信号で閉じる第2のスイッチ手段と、

入力端子に与えられた信号を増幅して出力端子に出力する増幅器と、

第1の出力端子と、

前記第1のコンデンサ両端と前記増幅器の入力端子及び前記第1の出力端子とを各々接続する第3の接続手段と、

前記第2のコンデンサ両端と前記増幅器の入力端子及び前記第1の出力端子とを各々接続する第4の接続手段と、

前記第 3 の接続手段に挿入接続されこの第 3 の接続手段を外部から与える第 1 の信号で開き第 2 の信号で閉じる第 3 のスイッチ手段と、

前記第 4 の接続手段に挿入接続されこの第 4 の接続手段を外部から与える第 1 の信号で閉じ第 2 の信号で開く第 4 のスイッチ手段と、

第 2 の出力端子と、

前記増幅器の出力端子に一端が接続され前記第 2 の出力端子に他端が接続された第 3 のコンデンサと、

前記第 1 及び第 2 の出力端子に両端が個々に接続され前記外部から与える第 1 の信号で開き第 2 の信号で閉じる第 5 のスイッチ手段とを備え、

前記第 1、第 2 の出力端子間に信号を取り出すことを特徴とする磁界センサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ホール素子と、ホール素子の出力電圧を増幅する増幅器とを具備し、設置された場所の磁界を検知し、検知した磁界に応じた信号を出力する磁界センサに関する。

【0002】

【従来の技術】

典型的な磁界センサは、磁界に比例した出力電圧を出力するホール素子並びにホール素子の出力電圧を増幅する増幅器と、増幅器の出力電圧を入力し、基準電位と比較し、比較結果を出力する比較器とを含むバイポーラ IC 又は CMOS IC である。このような磁界センサは、磁界センサが設置された場所の磁界が、一定の基準より大きい小さいかという 2 値の出力信号（0 又は 1）を出力する。

他の磁界センサは、磁界に比例した出力電圧を出力するホール素子と、ホール素子の出力電圧を増幅する増幅器とを具備し、当該増幅器の出力信号をアナログ信号のまま出力する。

【0003】

磁界センサの製品間のバラツキの主要な要因の 1 つは、ホール素子の出力電圧に含まれるオフセット信号成分のバラツキである。これは、ホール素子本体がバ

ッケージから受ける応力等により発生する。他の 1 つは、増幅器（一般には差動増幅器）の入力端子において発生するオフセット信号成分である。

## 【0004】

米国特許第 4, 0 3 7, 1 5 0 号は、ホール素子のオフセット信号成分の影響を小さくする技術を開示している。米国特許第 4, 0 3 7, 1 5 0 号に記載された発明に係る磁界センサは、図 1 から 4 に記載されたホール素子 1 のように 4 端子の幾何学的に等価な形状を備えた板状のホール素子を有する。

幾何学的に等価な形状とは、図 1 に記載された四角形のホール素子 1 のように、図 1 の状態での形状と図 1 のホール素子を 9 0 度回転させた状態（図 1 において、 $A-A'$  が  $B-B'$  に一致するように、回転する。）での形状とが同一であることを意味する。

## 【0005】

図 1 に基づいて説明する。ホール素子は、対角線方向の 2 対の端子  $A-A'$  及び  $B-B'$  を有する。第 1 の位相（第 1 のタイミング）において、端子  $A-A'$  間に電源電圧が印加され、端子  $B-B'$  間の出力電圧が検出され記憶される。次に、第 2 の位相（第 2 のタイミング）において、端子  $B-B'$  間に電源電圧が印加され、端子  $A-A'$  間の出力電圧が検出され記憶される。これらの切り換えは、スイッチ回路 2 により実現される。

なお、全ての図においてホール素子に電源電圧を印加する回路は図示していない。

第 1 及び第 2 の位相のタイミングチャートを図 5 に記載する。なお、図 5 は、米国特許第 4, 0 3 7, 1 5 0 号と、第 1 の従来例と、第 1 及び第 2 の実施例を示すタイミングチャートを兼ねている。

次に、第 1 の位相の出力信号と、第 2 の位相の出力信号との和をとる。ホール素子の出力信号の有効信号成分は同相で加算されるため、2 倍になり、ホール素子の出力信号のオフセット信号成分は逆相で加算されるため互いに相殺される。このようにして、ホール素子のオフセット信号成分が出力信号に与える影響は抑圧される。

## 【0006】

増幅器の入力オフセットに起因するオフセット信号成分を補償する従来の磁界センサの構成を図 3 及び 4 を参照しながら説明する。

図 3 は、特開平 8 - 2 0 1 4 9 1 に開示された第 1 の従来例の磁界センサの構成を示す。図 3 において、1 はホール素子、2 はスイッチ回路、4 及び 6 は記憶素子であるキャパシタ、5 及び 8 はスイッチ、1 0 及び 1 1 は相互コンダクタンス増幅器、1 2 は抵抗である。

第 1 の従来例における第 1 の位相及び第 2 の位相の関係を図 5 に示す。

#### 【0007】

第 1 の位相における動作を説明する。

第 1 の位相において、スイッチ 5 は閉じており、スイッチ 8 は開いている。この時、ホール素子 1 の端子 A - A' 間に電源電圧が印加され、端子 B - B' 間の出力電圧が、スイッチ回路 2 を通じて出力される。当該ホール素子 1 の出力電圧は相互コンダクタンス増幅器 1 0 に入力される。

相互コンダクタンス増幅器 1 0 は、ホール素子 1 の出力電圧に比例した電流を出力する。相互コンダクタンス増幅器 1 0 の出力電流  $I_{OUT}$  は、下記の式で表せる。

$$I_{OUT} = \alpha (V_h + V_{off10}) \quad (1)$$

$V_{off10}$  は相互コンダクタンス増幅器 1 0 の入力オフセット電圧であり、 $V_h$  はホール素子の出力電圧（相互コンダクタンス増幅器 1 0 の入力電圧）である。 $\alpha$  は電圧から電流への変換係数（比例定数）である。

#### 【0008】

この電流は、スイッチ 5 を介して、記憶素子 4 及び 6 に流れ込む。相互コンダクタンス増幅器 1 1 は、記憶素子 4 の充電電圧と記憶素子 6 の充電電圧との差電圧に比例し、かつ、相互コンダクタンス増幅器 1 0 の電流の向きとは逆方向の電流を発生する。記憶素子 4 及び 6 への充電電流は、相互コンダクタンス増幅器 1 0 及び 1 1 のそれぞれ出力電流の和がゼロになったところで自動的に止まる。相互コンダクタンス増幅器 1 0 及び 1 1 のそれぞれ出力電流の向きは互いに逆方であるから、このとき、相互コンダクタンス増幅器 1 0 及び 1 1 のそれぞれ出力電流の絶対値は一致する。従って、相互コンダクタンス増幅器 1 1 の出力電流  $I_O$



UT2は下記の式で表すことができる。

$$I_{OUT2} = -\alpha (V_h + V_{off10}) \quad (2)$$

【0009】

次に、第2の位相における動作を説明する。

第2の位相において、スイッチ5は開いており、スイッチ8は閉じている。この時、記憶素子4及び6の充放電電流は流れないため、記憶素子4及び6は、第1の位相において蓄積した電荷（従って、電圧）を維持している。従って、相互コンダクタンス11は、第1の位相に於ける電流と同じ電流を流し続ける。従って、相互コンダクタンス増幅器11の出力電流 $I_{OUT2}$ は(2)式で表せる。

この時、ホール素子1の端子B-B'間に電源電圧が印加され、端子A-A'間の出力電圧が、スイッチ回路2を通じて出力される。当該ホール素子1の出力電圧は、相互コンダクタンス増幅器10に入力される。相互コンダクタンス増幅器10に入力される当該ホール素子の出力信号は、第1の位相のときと実質的に逆向きになる。従って、この時、相互コンダクタンス増幅器10の出力電流は、相互コンダクタンス増幅器11の出力電流と同じ大きさでかつ同じ方向になる。

第2の位相に於ける相互コンダクタンス増幅器10の出力電流 $I_{OUT1}$ は下記の式で表すことができる。

$$I_{OUT1} = \alpha (-V_h + V_{off10}) \quad (3)$$

【0010】

相互コンダクタンス増幅器10及び11の出力電流の和が、スイッチ8を介して抵抗12に流れ込む。

よって、第12の抵抗に流れ込む電流 $I$ は、(2)式と(3)式を加算して、

$$I = I_{OUT1} + I_{OUT2} = -2\alpha V_h \quad (4)$$

となり、入力オフセット電圧 $V_{off}$ は相殺されていることが分かる。

【0011】

図4は、従来の磁界センサの第2の構成例を示す。図4において、1はホール素子、2はスイッチ回路、3は電圧増幅器、4及び6は記憶素子であるキャパシタ、5、8及び9はスイッチである。記憶素子4及び6の容量は等しい値を有する。

第 2 の従来例における第 1 の位相、第 2 の位相及び第 3 の位相の関係を図 6 に示す。

### 【 0 0 1 2 】

第 1 の位相における動作を説明する。

第 1 の位相において、スイッチ 5 は閉じており、スイッチ 8 及び 9 は開いている。

この時、ホール素子 1 の端子 A - A' 間に電源電圧が印加され、端子 B - B' 間の出力電圧が、スイッチ回路 2 を通じて出力される。当該ホール素子 1 の出力電圧は電圧増幅器 3 に入力される。

電圧増幅器 3 は、ホール素子 1 の出力電圧に比例した電圧を出力する。第 1 の位相における電圧増幅器 3 の出力電圧  $V_1$  は下記の式で表すことができる。

$$V_1 = \beta (V_h + V_{off3}) \quad (5)$$

$V_{off3}$  は電圧増幅器 3 の入力オフセット電圧であり、 $V_h$  はホール素子の出力電圧（電圧増幅器 3 の入力電圧）である。 $\beta$  は、電圧増幅器 3 の電圧増幅率である。

記憶素子 4 は、スイッチ 5 を介して電圧増幅器 3 の出力電圧  $V_1$  に充電される。

### 【 0 0 1 3 】

次に、第 2 の位相における動作を説明する。

第 2 の位相において、スイッチ 8 は閉じており、スイッチ 5 及び 9 は開いている。

ホール素子 1 の端子 B - B' 間に電源電圧が印加され、端子 A - A' 間の出力電圧が、スイッチ回路 2 を通じて出力される。当該ホール素子 1 の出力電圧は電圧増幅器 3 に入力される。電圧増幅器 3 の入力端子に入力される当該ホール素子の出力信号は、第 1 の位相のときと実質的に逆向きになる。従って、この時、電圧増幅器 3 の出力電圧  $V_2$  は下記の式で表すことができる。

$$V_2 = \beta (-V_h + V_{off3}) \quad (7)$$

記憶素子 6 は、スイッチ 8 を介して電圧増幅器 3 の出力電圧  $V_2$  に充電される。

## 【0014】

最後に、第3の位相における動作を説明する。

第3の位相において、スイッチ9は閉じており、スイッチ5及び8は開いている。

スイッチ9を介して記憶素子4の両端子が、反転されて、記憶素子6の両端子と並列に接続される。その結果、記憶素子4の端子間電圧 $-V_1$ と、記憶素子6の端子間電圧 $V_2$ との平均値が出力端子に出力される。記憶素子4及び6の容量値は同じであるため、当該出力電圧 $V$ は下記の式で表せる。

$$V = (-V_1 + V_2) / 2 = -\beta V_h \quad (8)$$

ここで、電圧増幅器3の入力オフセット電圧 $V_{off3}$ が相殺されていることが分かる。

## 【0015】

ホール素子を利用した磁界センサの電圧増幅器3は、第1の位相においては、4端子のホール素子の向かい合った2端子の間の出力信号を増幅した信号である第1の出力信号を出力し、第2の位相においては、4端子のホール素子の向かい合った他の2端子の間の出力信号を増幅した信号である第2の出力信号を出力する。この第2の出力信号は、実質的に、第1の出力信号に対して反転した信号である。一般にホール素子を利用した磁界センサの電圧増幅器は、第1の位相と第2の位相とで実質的に反転した信号を出力することにより電圧増幅器3の入力オフセット電圧 $V_{off3}$ を相殺する。

## 【0016】

## 【発明が解決しようとする課題】

しかしながら従来の構成では、入力オフセット電圧を相殺するための回路規模が大きいという欠点があった。

また、近年携帯電話機等の電池で動作する製品に磁界センサが使われるようになってきており、磁界センサの消費電流の低減も、重要な技術的課題になってきている。消費電流の低減に使われる手段としては、カウンタ等を用いて一定時間の間は消費電流をゼロにする間欠動作を採用することが一般的である。

## 【0017】

しかし、磁界センサを用いるセットによってはセンサ動作を止めることのできる時間に制約があり、1回のセンシング動作を何ステップで実現できるかが問題となる。具体的には、第1の従来例では、第1及び第2の位相の2ステップで磁界が測定される。第2の従来例では、第1から第3の位相の3ステップで磁界が測定される。

本発明は上記従来の課題を解決するものであり、磁界の検知出力電圧のバラツキを低減し、低消費電力で安価な磁界センサを提供することを目的とする。

## 【 0 0 1 8 】

## 【課題を解決するための手段】

本発明の請求項1に記載の発明は、

印加された磁界に応じた信号を出力端子に出力するホール素子と、

前記ホール素子の前記出力端子の信号を入力し、外部から与える第1、第2の位相を備えた信号によって選択した信号を出力するスイッチ回路と、

前記スイッチ回路の出力端子に少なくとも1個の入力端子を接続して、この入力端子の信号を増幅した電圧を出力端子に出力する増幅器と、

前記増幅器の前記出力端子に一端を接続した第1の記憶素子と、

前記第1の記憶素子の他端に一端を接続し、外部から与える前記第1、第2の位相を備えた信号によって開閉動作するスイッチと、

前記第1の記憶素子の前記他端に接続した信号出力端子とを備え、

前記第1の位相において前記スイッチが閉じて前記第1の記憶素子が前記増幅器の出力電圧を記憶し、前記第2の位相において前記スイッチが開き、前記第1の記憶素子に記憶した前記電圧値と前記増幅器の出力電圧値との和を前記出力端子に出力する磁界センサである。

## 【 0 0 1 9 】

本発明は、簡単な回路で、増幅器の入力オフセット電圧を相殺する。これにより、当該入力オフセット電圧の影響を受けないで製品間のバラツキの少ない、小型で安価な磁界センサを実現することが出来るという作用を有する。

後述のように、本発明は、低消費電力の磁界センサを実現することが出来るという作用を有する。

## 【 0 0 2 0 】

本明細書及び特許請求の範囲の記載において、「位相」の語は、時間軸上のタイミングを意味する。「第 1 の位相」及び「第 2 の位相」の語は、時間軸上で相互に異なるタイミングであることのみを意味する。

例えば、「第 1 の位相」及び「第 2 の位相」が、図 5 等のように繰り返して発生する場合の他、外部からの要求があった場合に 1 回のみ発生する場合も本発明の技術的範囲に含まれる。

又、本発明においては、「第 1 の位相」及び「第 2 の位相」が、図 5 等のように繰り返して発生する場合に繰り返しの周期及び第 1 の位相の期間と第 2 の位相の期間との時間長の比率、第 1 の位相と第 2 の位相のいずれにも属さない期間の長短等は問わない。例えば、磁界センサを一定の長い周期ごとに間欠的に作動させる場合も含む。

## 【 0 0 2 1 】

本発明の請求項 2 に記載の発明は、

前記スイッチ回路が第 2、第 3 の記憶素子を備え、

前記外部から与える前記第 1 の位相において、前記第 2 の記憶素子に前記ホール素子の出力端子の出力電圧を記憶し、前記第 3 の記憶素子に記憶された電圧を前記増幅器に与え、前記第 2 の位相において、前記第 2 の記憶素子に記憶された電圧を前記増幅器に与え、前記第 3 の記憶素子に前記ホール素子の出力端子の電圧を記憶することを特徴とする請求項 1 記載の磁界センサである。

## 【 0 0 2 2 】

ホール素子の出力電圧はホール素子の 2 端子間の差電圧として出力されるため、従来は当該ホール素子の差電圧を差動増幅器に inputs し、当該差動増幅器は非反転（正転）出力信号及び反転出力信号を出力していた。

そのため従来の磁界センサの増幅器は、図 3 又は図 4 に示す様な非反転出力端子及び反転出力端子を有する 2 出力型増幅器であった。

しかし、2 出力型増幅器は構成素子数が多く大きなチップ面積を占有する。

本発明は、簡単な回路構成によりホール素子の 2 端子間の差電圧を、例えば磁界センサの 1 個の出力端子の電位に対する電圧に変換し、当該 1 個の出力端子の

電位に対する電圧を単出力型増幅器に入力する。当該 1 個の出力端子の電位は、一定の基準電位（グラウンドを含む）でもよく、基準電位でなくてもよい。

本発明においては、従来の 2 出力型増幅器に代えて単出力型増幅器を使用することが出来る。単出力型増幅器は、2 出力型増幅器よりもはるかに構成素子数が少なく、小さなチップ面積しか占有しない。

単出力型増幅器は、2 出力型増幅器に較べて回路が簡単であるため、本発明は、小型で安価な磁界センサを実現することが出来るという作用を有する。

【0 0 2 3】

単出力型増幅器は、入力信号を増幅し非反転出力信号又は反転出力信号のいずれか 1 個を出力する。

【0 0 2 4】

本発明の請求項 3 に記載の発明は、

前記記憶素子の中の少なくとも 1 個の記憶素子が、キャパシタであることを特徴とする請求項 1 又は 2 の磁界センサである。

【0 0 2 5】

本発明により、小型で IC 化に適した記憶素子を用いた磁界センサが、実現できる。これにより、小型で安価な磁界センサを実現することが出来るという作用を有する。

【0 0 2 6】

本発明の請求項 4 に記載の発明は、

前記スイッチがフィードスルー対策を施したスイッチであることを特徴とする請求項 1 から請求項 3 のいずれかの請求項に記載の磁界センサである。

【0 0 2 7】

本発明により、例えば MOS 構造のスイッチが、当該スイッチのゲート端子の変化に応じて、開いたり閉じたりする際に、当該スイッチのゲートソース間あるいはゲートドレイン間の寄生容量に蓄積される電荷が変動し、その余分な電荷が記憶素子から流出入することが防止される。

これにより、バラツキの少ない磁界センサを実現することが出来るという作用を有する。

【 0 0 2 8 】

本発明の請求項 5 に記載の発明は、

増幅器のゲインを定める抵抗の中の少なくとも 1 個の抵抗が、ホール素子と同一の素子であることを特徴とする請求項 1 から請求項 4 のいずれかの請求項に記載の磁界センサである。

【 0 0 2 9 】

ホール素子の抵抗値は、製品間のバラツキが大きい。本発明の磁界センサは、電圧増幅器のゲインを定める抵抗の中の少なくとも 1 個の抵抗を、ホール素子と同一の素子で構成しており、かつ、ホール素子と、電圧増幅器とを同じ半導体チップ上に含む。

一般に、ホール素子の抵抗値が小さい時は、ホール素子の出力電圧は大きくなり、ホール素子の抵抗値が大きい時は、ホール素子の出力電圧は大きくなる。

ホール素子の抵抗値が小さい時は、当該同一の素子からなる抵抗の抵抗値も小さくなるが、その結果、電圧増幅器のゲインが小さくなるように磁界センサを構成する。逆に、ホール素子の抵抗値が大きい時は、当該同一の素子からなる抵抗の抵抗値も大きくなるため、その結果、電圧増幅器のゲインが大きくなる。

これにより、ホール素子の抵抗値のバラツキよりも、出力電圧のバラツキが小さな磁界センサを実現できるという作用を有する。

【 0 0 3 0 】

本明細書及び特許請求の範囲の記載において、「同一の素子」とは、同一の製造工程を通して生成された素子の意味である。例えば、同一の不純物の拡散工程を通したり、同一の N ウエルを生成したりすることを意味する。物理的な素子の大きさ又は形状の相違は問わない。従って、ホール素子と抵抗とが、同一の製造工程により製造される素子であれば、ホール素子と抵抗との大きさ又は形状が相違しても同一の素子である。

【 0 0 3 1 】

本発明の請求項 6 に記載の発明は、

印加された磁界に応じた信号を出力するホール素子と、

このホール素子の出力信号を増幅して出力端子対に電圧信号を出力する増幅器

と、

前記増幅器の出力端子対に両端が接続されたコンデンサと、  
前記出力端子対の一方と前記コンデンサの一端子間に挿入接続され、外部から与える第 1 の信号で閉じ第 2 の信号で開くスイッチ手段と、  
前記スイッチ両端の電圧を個々に出力する出力端子とを備え、  
前記増幅器の出力端子対電圧信号の極性が、前記第 1 の信号期間と前記第 2 の信号期間とで互いに逆極性であることを特徴とする磁界センサである。

【 0 0 3 2 】

本発明は、簡単な回路で、増幅器の入力オフセット電圧を相殺する。これにより、当該入力オフセット電圧の影響を受けないで製品間のバラツキの少ない、小型で安価な磁界センサを実現することが出来るという作用を有する。

後述のように、本発明は、低消費電力の磁界センサを実現することが出来るという作用を有する。

【 0 0 3 3 】

本発明の請求項 7 に記載の発明は、  
印加された磁界に応じた信号を第 1 及び第 2 の端子対に出力するホール素子と

第 1 及び第 2 のコンデンサと、

前記第 1 の端子対と前記第 1 のコンデンサ両端とを各々接続する第 1 の接続手段と、

前記第 2 の端子対と前記第 2 のコンデンサ両端とを各々接続する第 2 の接続手段と、

前記第 1 の接続手段に挿入接続されこの第 1 の接続手段を外部から与える第 1 の信号で閉じ第 2 の信号で開く第 1 のスイッチ手段と、

前記第 2 の接続手段に挿入接続されこの第 2 の接続手段を前記外部から与える第 1 の信号で開き第 2 の信号で閉じる第 2 のスイッチ手段と、

入力端子に与えられた信号を増幅して出力端子に出力する増幅器と、

第 1 の出力端子と、

前記第 1 のコンデンサ両端と前記増幅器の入力端子及び前記第 1 の出力端子と



を各々接続する第 3 の接続手段と、

前記第 2 のコンデンサ両端と前記増幅器の入力端子及び前記第 1 の出力端子とを各々接続する第 4 の接続手段と、

前記第 3 の接続手段に挿入接続されこの第 3 の接続手段を外部から与える第 1 の信号で開き第 2 の信号で閉じる第 3 のスイッチ手段と、

前記第 4 の接続手段に挿入接続されこの第 4 の接続手段を外部から与える第 1 の信号で閉じ第 2 の信号で開く第 4 のスイッチ手段と、

第 2 の出力端子と、

前記増幅器の出力端子に一端が接続され前記第 2 の出力端子に他端が接続された第 3 のコンデンサと、

前記第 1 及び第 2 の出力端子に両端が個々に接続され前記外部から与える第 1 の信号で開き第 2 の信号で閉じる第 5 のスイッチ手段とを備え、

前記第 1、第 2 の出力端子間に信号を取り出すことを特徴とする磁界センサである。

#### 【 0 0 3 4 】

従来の磁界センサの増幅器は、図 3 又は図 4 に示す様な非反転出力端子及び反転出力端子を有する 2 出力型増幅器であった。

しかし、2 出力型増幅器は構成素子数が多く大きなチップ面積を占有する。

本発明は、簡単な回路構成によりホール素子の 2 端子間の差電圧を磁界センサの 1 個の出力端子の電位に対する電圧に変換し、磁界センサの 1 個の出力端子の電位に対する電圧を単出力型増幅器に入力する。磁界センサの 1 個の出力端子の電位に対する電圧を増幅する増幅器としては、従来の 2 出力型増幅器に代えて単出力型増幅器を使用することが出来る。単出力型増幅器は、2 出力型増幅器よりもはるかに構成素子数が少なく小さなチップ面積しか占有しない。

磁界センサの 1 個の出力端子の電位は、一定の基準電位であってもよく、一定の基準電位でなくてもよい。

単出力型増幅器は、2 出力型増幅器に較べて回路が簡単であるため、本発明は、小型で安価な磁界センサを実現することが出来るという作用を有する。

更に、本発明は、簡単な回路で、増幅器の入力オフセット電圧を相殺する。こ

れにより、当該入力オフセット電圧の影響を受けないで製品間のバラツキの少ない、小型で安価な磁界センサを実現することが出来るという作用を有する。

本発明は、低消費電力の磁界センサを実現することが出来るという作用を有する。

【 0 0 3 5 】

【発明の実施の形態】

以下本発明の実施例について、図面を参照しながら説明する。

《実施例 1 》

図 1 は本発明の第 1 の実施例における磁界センサの構成を示す。図 1 において、1 はホール素子、2 はスイッチ回路、3 は電圧増幅器、4 は記憶素子であるキャパシタ、5 はスイッチである。

第 1 の実施例におけるタイミングチャートを図 5 に示す（但し第 1 の実施例はスイッチ 8 を有しない。）。

以上のように構成された磁界センサについて、以下その動作を説明する。

【 0 0 3 6 】

第 1 の位相における動作を説明する。

第 1 の位相において、スイッチ 5 は閉じている。

この時、ホール素子 1 の端子 A - A' 間に電源電圧が印加され、端子 B - B' 間の出力電圧が、スイッチ回路 2 を通じて出力される。当該ホール素子 1 の出力電圧は電圧増幅器 3 に入力される。

電圧増幅器 3 は、ホール素子 1 の出力電圧に比例した電圧を出力する。第 1 の位相における電圧増幅器 3 の出力電圧 V 1 は、下記の式で表すことができる。上記の ( 5 ) 式と同じである。

$$V 1 = \beta ( V h + V o f f 3 ) \quad ( 9 )$$

記憶素子 4 は、スイッチ 5 を介して、電圧増幅器 3 の出力電圧 V 1 に充電される。

【 0 0 3 7 】

次に、第 2 の位相における動作を説明する。

第 2 の位相において、スイッチ 5 は開いている。

ホール素子 1 の端子 B - B' 間に電源電圧が印加され、端子 A - A' 間の出力電圧が、スイッチ回路 2 を通じて出力される。当該ホール素子 1 の出力電圧は電圧増幅器 3 に入力される。電圧増幅器 3 の入力端子に入力される当該ホール素子の出力信号は第 1 の位相のときと実質的に逆向きになる。従って、この時、電圧増幅器 3 の出力電圧  $V_2$  は下記の式で表すことができる。この式は、上記の (7) 式と同じである。

$$V_2 = \beta (-V_h + V_{off3}) \quad (10)$$

【0038】

第 2 の位相においては、記憶素子 4 の端子間電圧は、反転されて電圧増幅器 3 の出力電圧と加算される。加算された信号  $V$  は、出力端子 (図 1 右端の + 及び - で表示した端子) より出力される。

従って、図 1 の第 1 の実施例の出力電圧  $V$  は、下記の式で表すことができる。

$$V = -V_1 + V_2 = -2\beta V_h \quad (11)$$

出力電圧  $V$  において、入力オフセット電圧  $V_{off3}$  は相殺されていることが分かる。

式 (4)、(8)、(11) を比較してみると、全て入力オフセット電圧  $V_{off}$  は同様に相殺されているが、本発明による磁界センサは、従来例に較べて小型かつ簡単な回路構成である。

【0039】

又、本発明は、2 つのステップ (第 1 の位相と第 2 の位相) でホール素子の検出信号の増幅信号を出力する。本発明のステップの数 (2 つ) は、第 2 の従来例のステップの数 (3 つ) より少ない。

例えば、一定の周期ごとに 1 回、ホール素子の検出信号の増幅信号を出力する本発明の磁界センサの応用装置において、磁界センサが動作していない期間は、磁界センサへの電源供給を停止することにより、従来の磁界センサを用いた装置よりも当該一定の周期の装置の消費電力を低減することが出来る。

本発明により、低消費電力の磁界センサが実現できる。

【0040】

《実施例 2》

図2は本発明の第2の実施例である磁界センサの構成を示す。図2において、1はホール素子、2はスイッチ回路、3は電圧増幅器、4、6、7は記憶素子であるキャパシタ、5及び8はスイッチである。

電圧増幅器3は、単入力の増幅器と、増幅率（フィードバック量）を定める2本の抵抗とにより構成されている。入力電圧に比例した電圧を出力するという機能において、第2の従来例及び第1の実施例の電圧増幅器3と第2の実施例の電圧増幅器3は同じである。

第2の実施例におけるタイミングチャートを図5に示す。

以上のように構成された磁界センサについて、以下その動作を説明する。

#### 【0041】

第1の位相における動作を説明する。

第1の位相において、スイッチ5は閉じており、スイッチ8は開いている。

この時、ホール素子1の端子A-A'間に電源電圧が印加され、端子B-B'間の出力電圧 $V_h$ がスイッチ回路2に出力される。当該ホール素子1の出力電圧 $V_h$ は、スイッチ5を通じて記憶素子6に印加され、記憶素子6を充電する。

この時、記憶素子7の両端電圧が、スイッチ5を通じて単出力型電圧増幅器3の入力端子に入力される。

単出力型電圧増幅器3の1個の入力端子は、磁界センサの1個の出力端子と接続されている。

単出力型電圧増幅器3は、記憶素子7の両端電圧に比例した電圧を出力する。後述のように、記憶素子7の両端電圧は $V_h$ である。第1の位相における電圧増幅器3の出力電圧 $V_1$ は、下記の式で表すことができる。これは上記の(5)式と同じである。

$$V_1 = \beta (V_h + V_{off3}) \quad (12)$$

$\beta$ 、 $V_h$ 及び $V_{off3}$ の定義は、第1の実施例と同じである。

記憶素子4は、スイッチ5を介して電圧増幅器3の出力電圧 $V_1$ に充電される。

#### 【0042】

次に、第2の位相における動作を説明する。

第2の位相において、スイッチ8は閉じており、スイッチ5は開いている。

この時、ホール素子1の端子B-B'間に電源電圧が印加され、端子A-A'間の出力電圧V<sub>h</sub>がスイッチ回路2に出力される。当該ホール素子1の出力電圧V<sub>h</sub>は、スイッチ8を通じて記憶素子7に印加され、記憶素子7を充電する。

この時、記憶素子6の両端電圧が、スイッチ8を通じて単出力型電圧増幅器3の入力端子に入力される。

上述のように単出力型電圧増幅器3の1個の入力端子は、磁界センサの1個の出力端子と接続されている。

単出力型電圧増幅器3は、記憶素子6の両端電圧に比例した電圧を出力する。記憶素子6の両端電圧はV<sub>h</sub>である。第2の位相における電圧増幅器3の出力電圧V<sub>2</sub>は、下記の式で表すことができる。上記の(7)式と同じである。

$$V_2 = \beta (-V_h + V_{off3}) \quad (13)$$

【0043】

第2の位相においては、記憶素子4の端子間電圧は、反転されて、電圧増幅器3の出力電圧と加算される。加算された出力電圧Vが出力端子(図2の右端の+及び-の端子)より出力される。

従って、図2の第2の実施例の出力電圧Vは下記の式で表すことができる。

$$V = -V_1 + V_2 = -2\beta V_h \quad (14)$$

出力電圧Vにおいて、入力オフセット電圧V<sub>off3</sub>は相殺されていることが分かる。

第2の実施例の磁界センサは、以上の動作を反復して行う。

【0044】

第2の実施例は、ホール素子1の出力電圧V<sub>h</sub>を増幅する増幅器として従来の2出力型増幅器に代えて単出力型増幅器を使用する。

例えば、第1の位相においては、ホール素子1の端子B-B'間に電源電圧が印加され、端子B'がグラウンド等に接続される。従って、ホール素子1の出力端子A及びA'は、いずれもホットである(基準電位ではない)。従来の磁界センサにおいては、出力端子A及びA'間の出力電圧V<sub>h</sub>を差動増幅器(図1及び図4の電圧増幅器3並びに相互コンダクタンス増幅器10)の2つの入力端子(

いずれもホット（基準電位でない）端子である。）に接続し、差動増幅器により当該  $V_h$  を増幅し、非反転出力信号と反転出力信号とを出力していた。

## 【0045】

本発明は、出力端子 A 及び A' 間の出力電圧  $V_h$  を第 1 の位相において、いったん記憶素子 6（又は 7）に蓄積する。第 2 の位相において、記憶素子 6（又は 7）とホール素子との接続を切り、記憶素子 6（又は 7）の 1 個の端子を磁界センサのマイナス出力端子に接続し、記憶素子 6（又は 7）の他の端子を単入力の増幅器の入力端子に接続する。記憶素子 6（又は 7）は、両端子の接続切り換えの前後において、両端子間の電位を維持するため、ホール素子 1 の端子 A - A' 間の出力電圧  $V_h$  は、ホット（基準電位でない）とマイナス出力端子の電位との間の電圧  $V_h$  に変換される（オフセットレベルの変換）。

これにより、電圧増幅器 3 として、差動入力の 2 出力型増幅器に代えて、単入力の単出力型増幅器を使用することが出来る。

前記マイナス出力端子の電位は、基準電位でもよく、基準電位でなくてもよい。マイナス出力端子に代えてプラス出力端子を用いてもよい（この場合は、単出力増幅器の出力信号はマイナス出力端子から出力される。）。

## 【0046】

例えば図 2 の構成に代えてホール素子 1 の 2 個の出力端子を直接単出力増幅器の入力端子に接続すると、ホール素子 1 に異常電流（設計的に意図していない電流）が流れ、磁界センサは正常に動作しない。

第 2 の実施例では、ホール素子の 2 端子間の差電圧をいったん記憶素子に記憶させる。当該記憶素子をホール素子から切り離した後、記憶素子の両端の電圧を単出力型増幅器に入力する。これによりホール素子の 2 端子間の差電圧は保持され、かつ切り離されたホール素子 1 は正常に動作する。

このようにして、従来の 2 出力型増幅器に代えて単出力型増幅器を使用することが出来る。

又、一定の基準電位（グラウンドを含む）を有しない磁界センサにおいても本発明により単出力型増幅器を使用可能である。

## 【0047】

好ましくは、実施例 1 又は実施例 2 のスイッチは、フィードスルー対策を施したスイッチである。フィードスルー対策を施したスイッチは、当該スイッチのゲート端子を変化させて、スイッチを開いたり閉じたりする際に、当該スイッチのゲートソース間あるいはゲートドレイン間の寄生容量に蓄積される電荷が変動し、その余分な電荷が記憶素子から流出入することが防止される。

## 【 0 0 4 8 】

好ましくは、実施例 1 又は実施例 2 の電圧増幅器のゲインを定める抵抗の中の少なくとも 1 個の抵抗が、ホール素子と同一の材料で構成された素子である。例えば、図 2 の電圧増幅器 3 を例にとると、増幅器の出力端子と増幅器のマイナス入力端子との間に挿入された抵抗をホール素子と同一の素子により構成する。

ホール素子と電圧増幅器とを同じ半導体チップ上に含む磁界センサにおいて、ホール素子の抵抗値が小さい時はホール素子の出力電圧は大きくなるが、当該同一の素子からなる抵抗の抵抗値も小さくなり、その結果、電圧増幅器のゲインが小さくなる。逆に、ホール素子の抵抗値が大きい時は、ホール素子の出力電圧は小さくなるが、当該同一の素子からなる抵抗の抵抗値も大きくなるため、その結果、電圧増幅器のゲインが大きくなる。

これにより、ホール素子の抵抗値のバラツキによるホール素子の出力電圧のバラツキに応じて、電圧増幅器のゲインが、出力電圧のバラツキが小さくなるようにバラツクため、バラツキの少ない磁界センサを実現できる。

## 【 0 0 4 9 】

## 【発明の効果】

本発明は、簡単な回路で、増幅器の入力オフセット電圧を相殺する。これにより、当該入力オフセット電圧の影響を受けない、バラツキの少ない、小型で安価な磁界センサを実現することが出来るという有利な効果が得られる。

## 【 0 0 5 0 】

又、本発明により、低消費電力の磁界センサを実現することが出来るという有利な効果が得られる。

## 【 0 0 5 1 】

本発明は、簡単な回路で、ホール素子の差電圧の出力信号を、基準電位等に対

する電圧に変換し、当該基準電位等に対する電圧を、単出力型増幅器に入力する

。これにより、磁界センサの差電圧の出力信号を、回路が簡単でチップ面積が小さい単出力型増幅器により増幅する磁界センサを実現する。

本発明により、小型で安価な磁界センサを実現することが出来るという有利な効果が得られる。

【 0 0 5 2 】

本発明により、小型で I C 化に適した記憶素子を用いた磁界センサを実現できる。これにより、小型で安価な磁界センサを実現することが出来るという有利な効果が得られる。

【 0 0 5 3 】

本発明により、キャパシタの容量のバラツキに起因する出力電圧のバラツキが少ない磁界センサを実現することが出来るという有利な効果が得られる。

【 0 0 5 4 】

本発明により、ホール素子の抵抗値のバラツキよりも出力電圧のバラツキが小さな磁界センサを実現できるという有利な効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例の磁界センサの構成図である。

【図 2】

本発明の第 2 の実施例の磁界センサの構成図である。

【図 3】

第 1 の従来例の磁界センサの構成図である。

【図 4】

第 2 の従来例の磁界センサの構成図である。

【図 5】

第 1 の従来例並びに第 1 及び第 2 の実施例のタイミングチャートである。

【図 6】

第 2 の従来例のタイミングチャートである。

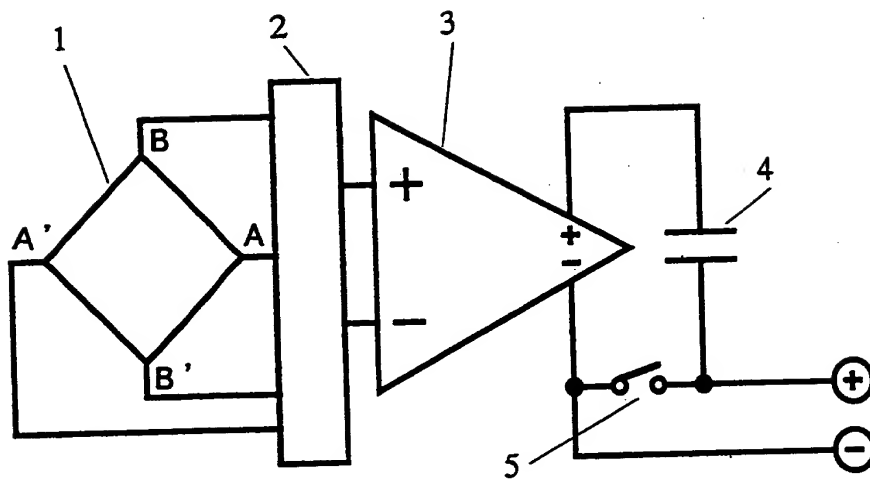


【符号の説明】

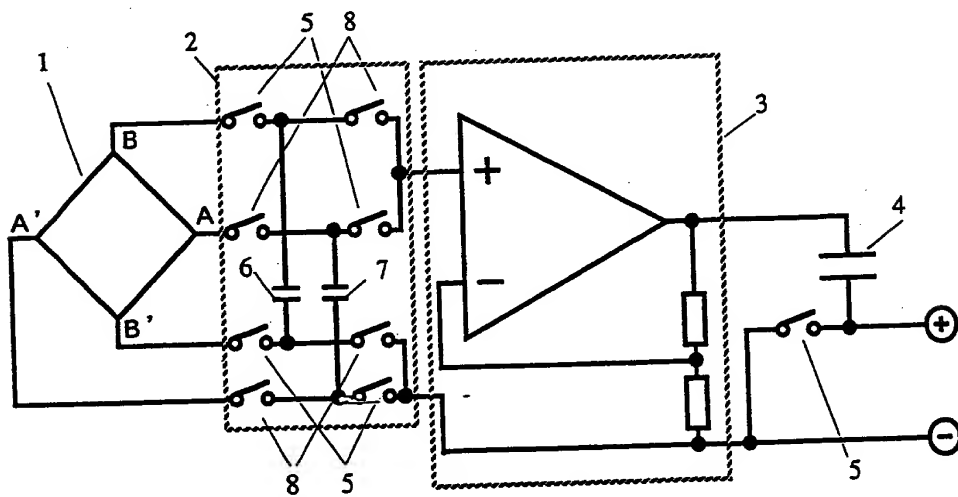
- |       |              |
|-------|--------------|
| 1     | ホール素子        |
| 2     | スイッチ回路       |
| 3     | 電圧増幅器        |
| 4、6、7 | 記憶素子         |
| 5、8、9 | スイッチ         |
| 10、11 | 相互コンダクタンス増幅器 |
| 12    | 抵抗           |

【書類名】 図面

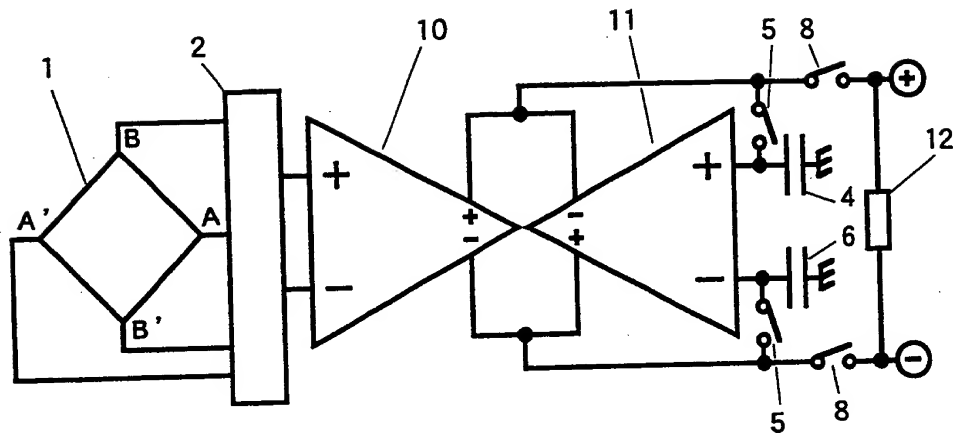
【図1】



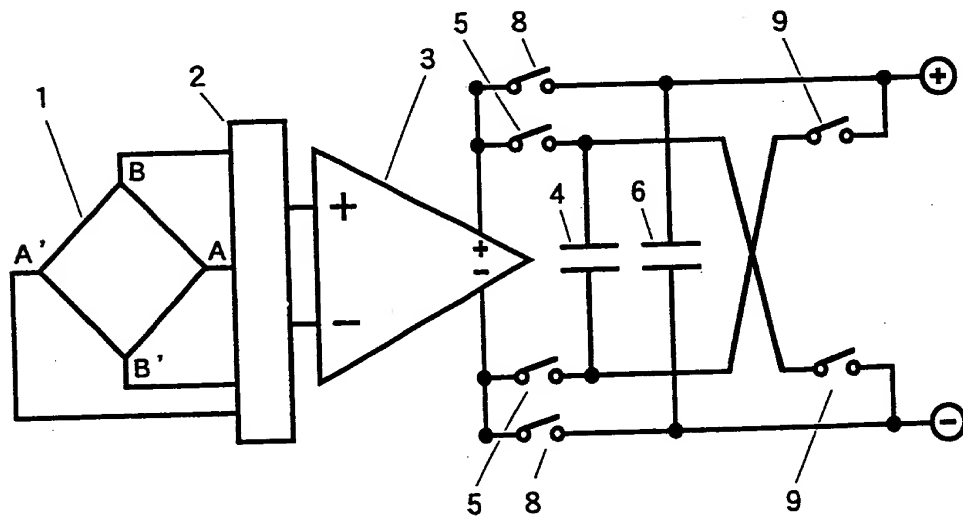
【図2】



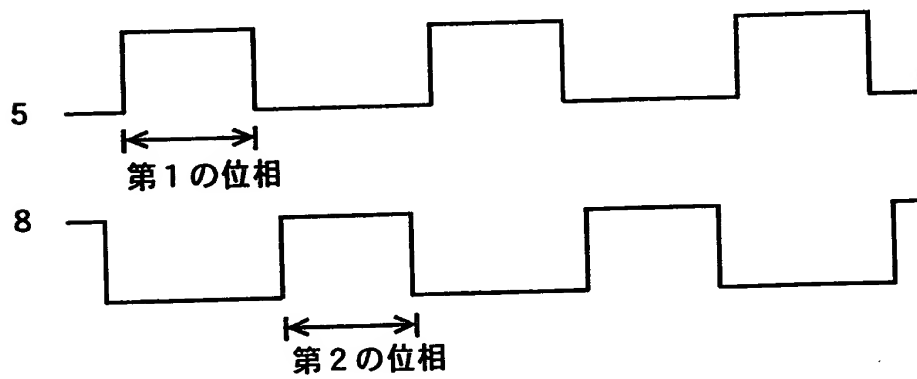
【図3】



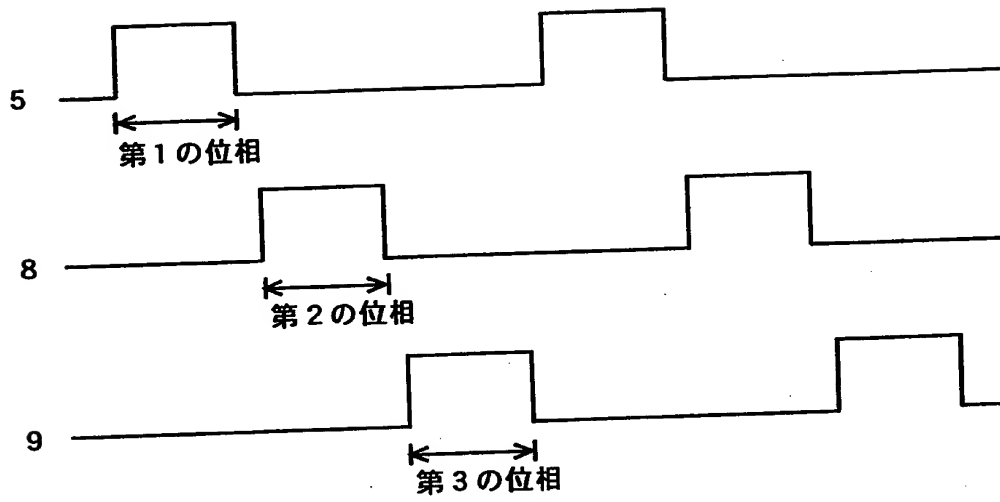
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【目的】 ホール素子と増幅器とを具備する安価で正確な磁界センサを提供する。

【構成】 印加された磁界に応じた信号を出力端子に出力するホール素子と、前記ホール素子の前記出力端子を入力端子に接続して出力端子に信号を出力するスイッチ回路と、前記スイッチ回路の出力端子に少なくとも1個の入力端子を接続して、この入力端子の信号を増幅した電圧を出力端子に出力する増幅器と、前記増幅器の前記出力端子に一端を接続した第1の記憶素子と、前記第1の記憶素子の他端に一端を接続し、外部から与える第1、第2の位相を備えた信号によって開閉動作するスイッチと、前記第1の記憶素子の前記他端に接続した信号出力端子とを備え、前記第1の位相において前記スイッチが閉じて前記第1の記憶素子が前記電圧増幅器の出力電圧を記憶し、前記第2の位相において前記スイッチが開き、前記第1の記憶素子に記憶した前記電圧値と前記電圧増幅器の出力電圧値との和を前記出力端子に出力する磁界センサ。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社